

PAT-NO: JP406112401A
DOCUMENT-IDENTIFIER: JP 06112401 A
TITLE: MULTICHIP MOUNTING CIRCUIT
PUBN-DATE: April 22, 1994

INVENTOR-INFORMATION:
NAME
MIYAGAWA, YUZO
KOBAYASHI, YUKIO
AKATSU, YUJI

ASSIGNEE-INFORMATION:
NAME COUNTRY
NIPPON TELEGR & TELEPH CORP <NTT> N/A

APPL-NO: JP04280900

APPL-DATE: September 25, 1992

INT-CL (IPC): H01L025/065, H01L025/07 , H01L025/18

US-CL-CURRENT: 257/777

ABSTRACT:

PURPOSE: To prevent delay in signal transmission between IC chips by a method wherein the signal terminals, provided by opposingly stacking a plurality of IC chips, are connected with each other.

CONSTITUTION: A chip IC 1 is arranged on a level with a wiring substrate PB in such a manner that the surface CS on circuit side faces upward and the opposite surface faces downward. The surface CS on the circuit side of a chip IC 2 is facing downward, its opposite surface faces upward, signal pads P21 and P22 are provided on the surface CS of the circuit side, and a signal terminal

pad P4 is provided on the opposite surface. A chip IC 2 is superposed on the chip IC 1 through the intermediary of a bump B to be connected to a flip chip. A through hole SH is provided between the pads P22 and P4 of the chip IC 2, and the above-mentioned pads P22 and P4 are connected to the transmission line T1 of the wiring substrate PB through the intermediary of a bonding wire W1. As this connection is conducted using the bump B only, the delay in transmission of signal by the connection between the IC chips can be prevented.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-112401

(43)公開日 平成6年(1994)4月22日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H O I L 25/065

25/07

25/18

H O I L 25/ 08

B

審査請求 未請求 請求項の数 5 (全 7 頁)

(21)出願番号 特願平4-280900

(22)出願日 平成4年(1992)9月25日

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 宮川 裕三

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72)発明者 小林 由紀夫

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72)発明者 赤津 祐史

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

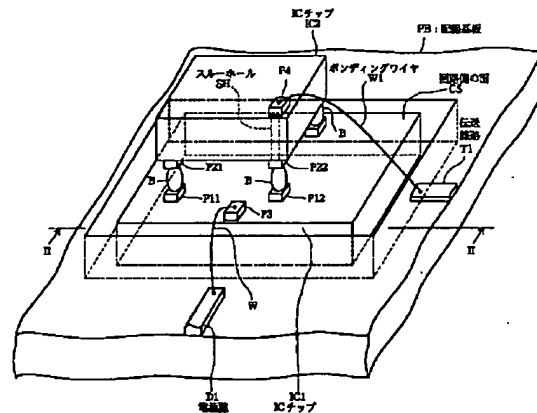
(74)代理人 弁理士 川久保 新一

(54)【発明の名称】 マルチチップ実装回路

(57) 【要約】

【目的】 複数のＩＣチップを組み合わせて回路を構成するマルチチップ実装回路において、ＩＣチップ間の信号伝送に遅延がなく、インピーダンスミスマッチによる波形劣化が極めて小さい状態で接続でき、また、複数のＩＣチップを実装する場合に交差配線を少なくすることができ、交差部でのクロストークをなくすことができ、さらに、実装面積を小さくすることができるマルチチップ実装回路を提供することを目的とするものである。

【構成】 1つのICチップの信号端子と他のICチップの信号端子とが互いに向き合うように2つのICチップが配置され、互いに向き合った信号端子同士が互いに接続され、このようにして複数個のICチップが複数段に積み重ねられるとともに互いに向き合った信号端子同士が互いに接続されているものである。



K2398

【特許請求の範囲】

【請求項1】 複数個のICチップを組み合わせて回路を構成するマルチチップ実装回路において、1つの上記ICチップの信号端子と他の上記ICチップの信号端子とが互いに向き合うように上記2つのICチップが配置され、上記互いに向き合った信号端子同士が互いに接続され、このようにして複数個の上記ICチップが複数段に積み重ねられているとともに上記互いに向き合った信号端子同士が互いに接続されていることを特徴とするマルチチップ実装回路。

【請求項2】 請求項1において、2段目以上の上記ICチップの回路側と反対の面に、上記信号端子として裏面パッドが設けられ、上記回路側の配線と上記裏面パッドとがスルーホールを介して接続され、隣接するICチップまたはパッケージリードと上記裏面パッドとがワイヤボンディングによって接続されていることを特徴とするマルチチップ実装回路。

【請求項3】 請求項1において、最上段の上記ICチップを除く上記ICチップの回路側の面または上記回路側の面と反対の面に伝送線路が接続され、この伝送線路を介して1段上の上記ICチップに信号または電源が供給されていることを特徴とするマルチチップ実装回路。

【請求項4】 請求項1において、上記2つのICチップ間にフィルムキャリアが挟み込まれ、このフィルムキャリア上の配線を介して、上記2つのICチップ間で信号が送受され、また上記隣接するICチップまたは隣接するパッケージリードと上記2つのICチップとが接続されていることを特徴とするマルチチップ実装回路。

【請求項5】 請求項1において、上記ICチップを3段以上重ねる場合における2段目以上の上記ICチップの回路側と反対の面に、上記信号端子として裏面パッドが設けられ、上記2段目以上のICチップの回路側の面の配線と上記裏面パッドとがスルーホールを介して接続され、上記2段目以上のICチップの裏面パッドとその上段に位置するICチップのパッドとが上記スルーホールを介して接続されていることを特徴とするマルチチップ実装回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数個のICチップを組み合わせて回路を構成するマルチチップ実装回路に関し、特に、ギガビットを越える超高速ICチップを用いた超高速回路、または高密度実装回路に使用するマルチチップ実装回路に関する。

【0002】

【従来の技術】 従来、複数個のICチップからなるマルチチップ実装回路としては、

①多層セラミック基板上に、複数個のICチップを互い

に平面的に実装する回路であり、セラミックスの多層配線によって各ICチップ間の接続を行う回路

②セラミックスまたはSi等の基板の上に樹脂等を絶縁物とした多層配線を形成し、互いに平面的に実装された複数個のICチップ間を多層配線で接続する回路が知られている。

【0003】

【発明が解決しようとする課題】 上記従来例においては、ICチップを平面的に配置して各ICチップ間を配線するので、多層配線で構成された信号線が長くなり、特に超高速回路においては、信号の配線遅延や伝播損失が大きいくという問題がある。また、特に超高速回路においては、バンド部分やスルーホール部等におけるインピーダンス不整合が大きくなるという問題があり、また信号線同士の交差が生じ、これによって信号線間でクロストークが発生し、回路の動作が困難になるという問題がある。さらに、ICチップを平面的に実装するので、回路の面積が大きくなるという問題がある。

【0004】 本発明は、ICチップ間の信号伝送に遅延がなく、インピーダンスミスマッチによる波形劣化が極めて小さい状態で接続でき、また、複数のICチップを実装する場合に交差配線を少なくすることができ、交差部でのクロストークをなくすことができ、さらに、実装面積を小さくすることができるマルチチップ実装回路を提供することを目的とするものである。

【0005】

【課題を解決するための手段】 本発明は、複数個のICチップを組み合わせて回路を構成するマルチチップ実装回路において、1つのICチップの信号端子と他のICチップの信号端子とが互いに向き合うように2つのICチップが配置され、互いに向き合った信号端子同士が互いに接続され、このようにして複数個のICチップが複数段に積み重ねられるとともに互いに向き合った信号端子同士が互いに接続されているものである。

【0006】

【作用】 本発明は、1つのICチップの信号端子と他のICチップの信号端子とが互いに向き合うように2つのICチップが配置され、上記互いに向き合った信号端子同士が互いに接続され、このようにして複数個のICチップが複数段に積み重ねられるとともに互いに向き合った信号端子同士が互いに接続されているので、ICチップ間の信号伝送に遅延がなく、インピーダンスミスマッチによる波形劣化が極めて小さい状態で接続でき、また、複数のICチップを実装する場合に交差配線を少なくすることができ、交差部でのクロストークをなくすことができ、さらに、ICチップを重ねて実装することによって実装面積を小さくすることができる。

【0007】

【実施例】 図1は、本発明の第1実施例の要部を示す斜視図であり、図2は、図1のI-I線から見た縦断

面図である。この第1実施例は、2つのICチップIC1、IC2を用いて回路を構成するときにおける実装構造の例である。

【0008】チップIC1は、回路側の面CSが上に向けられ、回路側の面CSと反対の面が下に向けられ、配線基板PBのくり貫かれた部分にチップIC1全体が収納され、チップIC1が配線基板PBと平面的に配置されている。チップIC1の回路側の面CSには信号端子パッドP11、P12と電源端子パッドP3とが設けられ、チップIC1の回路側の面CSと反対の面がグランドGNDに接続されている。電源端子パッドP3は、チップIC1の回路側の面CSであってチップIC2と重ならない領域に設けられ、ボンディングワイヤWを介して電源線D1に接続されている。

【0009】チップIC2は、その回路側の面CSが下に向けられ、その回路側の面CSと反対の面が上に向けられ、回路側の面CSに信号端子パッドP21、P22が設けられ、回路側の面CSと反対の面に信号端子パッドP4が設けられている。チップIC2は、フリップチップ接続するバンパBを介してチップIC1の上に重ねられている。つまり、ICチップIC1とIC2とを対向させて重ね合わせたときに、互いに接続されるパッドP11とP21とが対向するように、また、パッドP12とP22とが対向するように、パッドP11とP21との配置およびパッドP12とP22との配置が予め決められている。

【0010】チップIC2のパッドP22とP4との間にスルーホールSHが設けられている。パッドP4は、ボンディングワイヤW1を介して、配線基板PBの伝送線路T1と接続されている。

【0011】配線基板PB上の伝送線路T1は、重ね合わせではなく平面的に配置されたICチップ間（またはICチップとICパッケージのリードとの間）で信号を伝送する線路であり、マイクロストリップ線路やコプレーナ線路等で構成された線路である。なお、配線基板PBの下面はチップIC1の下面と同様に全てグランドGNDに接続されている。

【0012】つまり、上記実施例において、2つのICチップを組み合わせる回路を構成するマルチチップ実装回路において、1つのICチップの信号端子と他のICチップの信号端子とが互いに向き合うように2つのICチップが配置され、互いに向き合った信号端子同士が互いに接続され、このようにして複数のICチップが複数段に積み重ねられるとともに互いに向き合った信号端子同士が互いに接続されている。また、ICチップが3段以上重ねられる場合には、2段目以上のICチップの回路側と反対の面に、信号端子として裏面パッドが設けられ、回路側の配線と裏面パッドとがスルーホールを介して接続され、隣接するICチップまたはパッケージリードと裏面パッドとがワイヤボンディングによって接続

されている。

【0013】上記実施例によれば、チップIC1とIC2との間の接続がバンパBのみで行われているので、ICチップ間の接続による信号の伝播遅延がなく、インピーダンスミスマッチによる波形劣化が極めて小さい状態で接続でき、また、2つのICチップを実装する場合に交差配線を少なくすることができ、交差部でのクロストークをなくすることができ、さらに、ICチップを重ねて実装することによって実装面積を小さくすることができる。

【0014】上記実施例における伝送線路T1、電源線D1はそれぞれ伝送線路、電源線を代表して記載されたものであり、ボンディングワイヤを介して伝送線路をチップIC1のパッドに接続してもよく、ボンディングワイヤを介して電源線をチップIC2のパッドに接続してもよく、伝送線路、電源線的一方または双方を複数設けるようにしてもよい。

【0015】図3は、本発明の第2実施例を示す斜視図であり、図4は、図3のIV-IV線から見た縦断面図である。なお、同一部材には同一符号を付し、その説明を省略する。以下の実施例においても同様である。

【0016】第2実施例は、第1実施例における長いワイヤボンディングW1の代わりに、短いワイヤボンディングW2と伝送線路T2とを設けたものである。つまり、第2実施例は、チップIC1の回路側の面CSに信号端子パッドP31が設けられ、配線基板PB上の伝送線路T1とパッドP31とがボンディングワイヤW2によって接続され、パッドP31とP12とが伝送線路T2によって接続され、ICチップIC2の代わりにICチップIC2aが設けられている点が第1実施例と異なる。ICチップIC2aは、ICチップIC2から信号端子パッドP4とスルーホールSHとが削除されたものである。伝送線路T2は、マイクロストリップ線路やコプレーナ線路等で構成されている。

【0017】すなわち、第2実施例は、最上段のICチップを除くICチップの回路側の面に伝送線路T2が接続され、この伝送線路T2を介して1段上のICチップに信号または電源が供給されているものである。つまり、バンパBのみを使用したのではパッド間を接続できない場合には、バンパBのみでは接続できない部位にパッドP31を予め設け、パッドP12とP31とを接続する伝送線路T2をチップIC1の上に予め設けている。なお、パッドP31は、伝送線路T2の一部であってもよく、伝送線路T2とは別に設けたものであってもよい。

【0018】なお、第2実施例では、最上段のICチップを除くICチップの回路側の面に伝送線路T2が接続されているが、この代わりに、最上段のICチップを除くICチップの回路側の面と反対の面に伝送線路T2を接続し、この伝送線路T2を介して1段上のICチップ

5

に信号または電源を供給するようにしてもよい。

【0019】第2実施例においては、伝送線路T1とパッドP22とが、ボンディングワイヤW2と伝送線路T2とバンパBとで接続され、伝送線路T1とパッドP31とを接続するワイヤW2が、第1実施例におけるワイヤW1よりも短いため、第1実施例よりも、ICチップ間の信号伝送に遅延が少なく、インピーダンスミスマッチによる波形劣化が小さい。

【0020】なお、第2実施例において、ICチップIC1を配線基板PBに載置するようにしてもよい。

【0021】図5は、本発明の第3実施例を示す斜視図であり、図6は、図5のVI-VI線から見た縦断面図である。なお、図5においては、配線基板PBを省略してある。

【0022】この第3実施例は、ICチップIC1aとIC2bとの間に、フィルムキャリアFが挟み込まれ、フィルムキャリアFを介して、隣接するICチップまたは隣接するパッケージリードと接続されるものである。つまり、フィルムキャリアF上の配線を介して、ICチップIC1aとIC2bとの間で信号が送受され、また隣接するICチップまたはパッケージリードに接続されている。

【0023】フィルムキャリアFは、ポリイミド等の樹脂フィルムが2層貼り合わされ、この2層のフィルムの間に銅箔等の配線パターンで構成された伝送線路T3、T31、T32と電源線D2とが設けられたものである。そして、チップIC1aに設けられたパッドP11、P12が、バンパBを介して、それぞれ、チップIC2bに設けられたパッドP21、P22と接続され、チップIC1aにパッドP32が設けられ、チップIC2bにパッドP24が設けられ、バンパBを介してパッドP24に伝送線路T3が接続され、バンパBを介してパッドP32に伝送線路T31が接続されている。これらによってチップIC1aとIC2bとがフリップチップボンディングされている。なお、上記以外のパッドには、符号Pのみを付してある。

【0024】また、伝送線路T3とパッドP24との接続のように、バンパBのみを使用したのではパッド間を接続できない（ICチップを重ねただけでは接続しきれない）場合には、フィルムキャリアFをチップIC1aとIC2bとの間に挟み込み接続してあり、フィルムキャリアFの配線を介してパッド間を接続するので、チップ間の接続による信号の配線遅延を零あるいは極限まで小さくでき、また、フィルムキャリアFがインピーダンス制御された伝送線路で構成されているので、インピーダンスミスマッチ等による波形劣化が非常に少ない。

【0025】図7は、本発明の第4実施例を示す分解斜視図であり、2段目に2つのICチップを接続した場合の図である。すなわち、1段目にICチップIC1bを設け、2段目にICチップIC2c、IC2dを設け、

6

チップIC1bとIC2c、IC2dとの間にフィルムキャリアF1が設けられている。

【0026】フィルムキャリアF1には、マイクロストリップ線路やコプレーナ線路等で構成された伝送線路T33、T34、T35、T36、T37と、同様にマイクロストリップ線路やコプレーナ線路等で構成された電源線D21とが設けられている。伝送線路T33を介して、チップIC2とICチップ3との間で信号の通信が行われる。なお、上記以外のパッドには、符号Pのみを付してある。

【0027】図8は、本発明の第5実施例を示す縦断面図である。

【0028】第5実施例は、3つのICチップIC1a、IC2e、IC3が積み重ねられ、ICチップIC1a、IC2eの信号端子パッド間の接続はフィルムキャリアFとバンパBを介して行われ、ICチップIC2e、IC3の信号端子パッド間の接続は、フィルムキャリアF2とバンパBとを介して行われている。

【0029】フィルムキャリアF2には、伝送線路T3と同様の伝送線路T4、電源線D2と同様の電源線D3が構成され、チップIC2eの回路側の面CSには、信号端子パッドP21、P22、P24、P25が設けられ、チップIC2eの回路側の面CSと反対の面には、信号端子パッドP26、P27が設けられ、信号端子パッドP26とP25とはスルーホールSH1で接続され、チップIC3の回路側の面CSには信号端子パッドP41、P42が設けられている。

【0030】つまり、第5実施例は、ICチップを3段以上重ねる場合における2段目以上のICチップの回路側CSと反対の面に、信号端子として裏面パッドP26が設けられ、2段目以上のICチップの回路側の面の配線と裏面パッドP26とがスルーホールSH1を介して接続され、2段目以上のICチップの裏面パッドP26とその上段に位置するICチップのパッドP41とがスルーホールSH1を介して接続されているマルチチップ実装回路である。

【0031】第5実施例においても、チップ間の接続はバンパBのみによって行われるので、チップ間の接続による信号の伝播遅延や波形劣化がなく、インピーダンス制御された伝送線路で構成されたフィルムキャリアF、F2を用いてチップと配線基板PBとを接続しているので、チップと配線基板PB上の伝送線路とのインピーダンスミスマッチ等による波形劣化がない。

【0032】上記実施例においては、ベースとなるICチップ（1段目のICチップ）が1つのみ設けられているが、ベースとなるICチップを複数設けるようにしてもよい。また、上記実施例においては、ベースとなるICチップに載せるICチップが1つまたは2つ設けられているが、ベースとなるICチップにICチップを3つ以上載せるようにしてもよい。なお、ベースとなるIC

7

チップまたはその上に載せる ICチップが複数個の ICチップで構成される場合、各 ICチップが複数個の ICチップにまたがるように接続されていてもよい。

【0033】また、ICチップを3段以上重ねる場合は、2段目以上の ICチップにスルーホールを設け、このスルーホールを介して当該 ICチップの両面に設けられたパッド同士を接続し、当該 ICチップの上に重ねられた ICチップのパッドと接続するようにしてもよい。また、各 ICチップは、個別にダイシングされていてもよいし、個別にダイシングされていなくてもよい。

【0034】

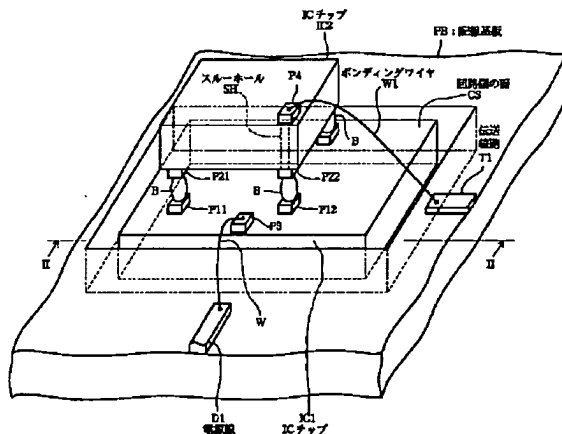
【発明の効果】本発明によれば、ICチップ間の信号伝送に遅延がなく、インピーダンスミスマッチによる波形劣化が極めて小さい状態で接続でき、また、複数の ICチップを実装する場合に交差配線を少なくすることができ、交差部でのクロストークをなくすることができ、さらに、ICチップを重ねて実装することによって実装面積を小さくできるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1実施例の要部を示す斜視図である。

【図2】図1の I-I 線から見た縦断面図である。

【図1】



8

【図3】本発明の第2実施例を示す斜視図である。

【図4】図3の IV-IV 線から見た縦断面図である。

【図5】本発明の第3実施例を示す斜視図である。

【図6】図5の VI-VI 線から見た縦断面図である。

【図7】本発明の第4実施例を示す分解斜視図である。

【図8】本発明の第5実施例を示す縦断面図である。

【符号の説明】

IC1、IC1a、IC1b、IC2、IC2a、IC2b、IC2c、IC2d、IC2e、IC3…ICチップ、

PB…配線基板、

T、T1、T2、T3、T31、T33~T37、T4…伝送線路、

D、D1、D2、D21、D3…電源線、

W、W1、W2…ボンディングワイヤ、

P、P11、P12、P21~P27、P31、P32、P4、P41、P42…信号端子パッド、

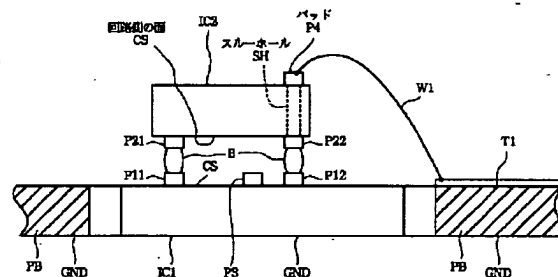
P3…電源端子パッド、

B…バンプ、

GND…グラウンド、

SH、SH1…スルーホール。

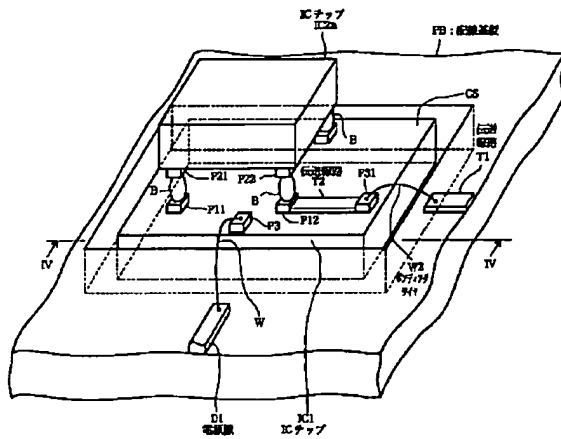
【図2】



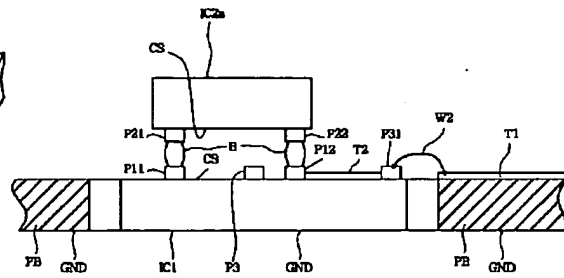
K2898

K2368

【図3】



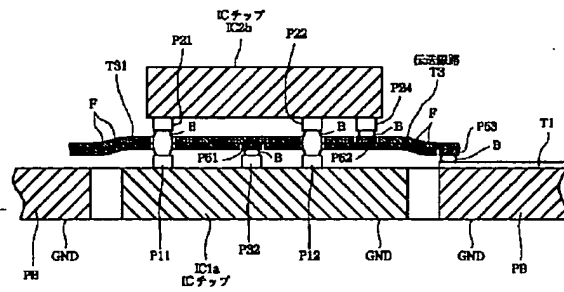
【図4】



K2398

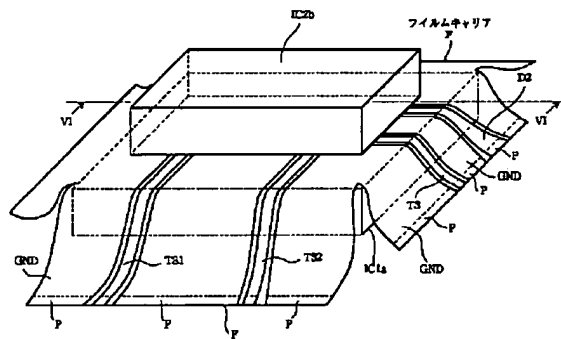
K2398

【図6】



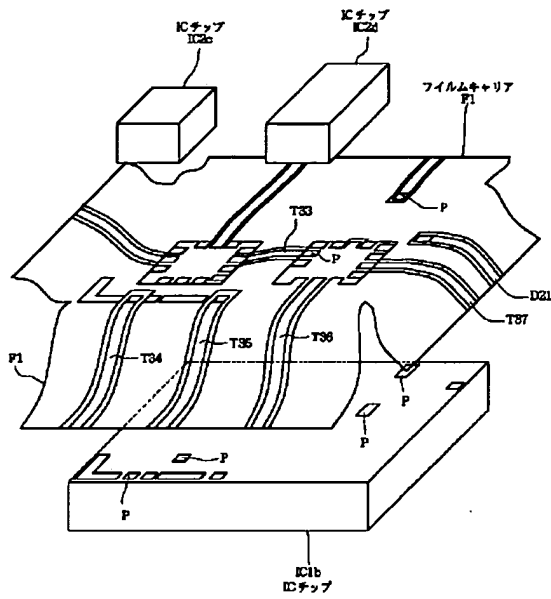
K2398

【図5】

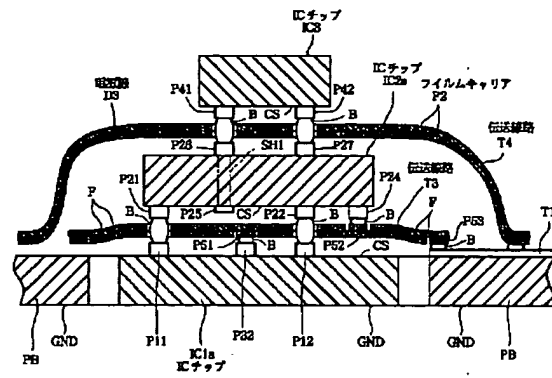


K2398

【図7】



【図8】



K2398

K2398